

EXPRESS MAIL NO. EL 677 508 966 US

DATE OF DEPOSIT

5/29/01

JP021 U.S. PRO
09/870415
05/29/01

Our File No. 9281-3999

Client Reference No. S US00086

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Akiyuki Yoshisato et al.

Serial No. To Be Assigned

Filing Date: Herewith

For: Electronic Circuit Unit that is Suitable for
Miniaturization and Suitable for Simple
Output Adjustment

5/Priority
02/09/02
D. Bee

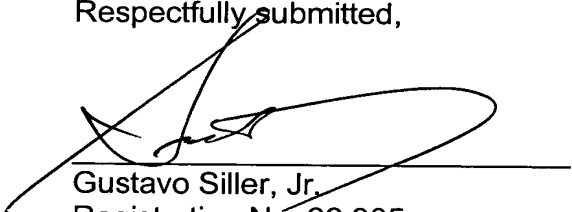
SUBMISSION OF CERTIFIED COPIES OF PRIORITY DOCUMENTS

Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Transmitted herewith are certified copies of priority documents Japanese Patent Application Nos. 2000-160252, filed May 30, 2000, and 2000-160257, filed May 30, 2000, for the above-named U.S. application.

Respectfully submitted,


Gustavo Siller, Jr.
Registration No. 32,305
Attorney for Applicants

BRINKS HOFER GILSON & LIONE
P.O. BOX 10395
CHICAGO, ILLINOIS 60610
(312) 321-4200

#5/1-8-02

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 5月30日

出 願 番 号

Application Number:

特願2000-160252

出 願 人

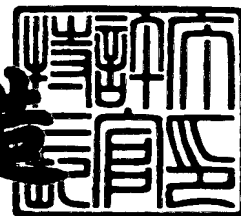
Applicant (s):

アルプス電気株式会社

2001年 3月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3016909

【書類名】 特許願

【整理番号】 A6580

【提出日】 平成12年 5月30日

【あて先】 特許庁長官殿

【国際特許分類】 H03B 5/12

【発明の名称】 電子回路ユニット

【請求項の数】 2

【発明者】

【住所又は居所】 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社
社内

【氏名】 善里 彰之

【発明者】

【住所又は居所】 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社
社内

【氏名】 井上 明彦

【発明者】

【住所又は居所】 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社
社内

【氏名】 佐久間 博

【発明者】

【住所又は居所】 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社
社内

【氏名】 五十嵐 康博

【特許出願人】

【識別番号】 000010098

【氏名又は名称】 アルプス電気株式会社

【代理人】

【識別番号】 100078134

【弁理士】

【氏名又は名称】 武 顕次郎

【電話番号】 03-3591-8550

【選任した代理人】

【識別番号】 100087354

【弁理士】

【氏名又は名称】 市村 裕宏

【選任した代理人】

【識別番号】 100099520

【弁理士】

【氏名又は名称】 小林 一夫

【手数料の表示】

【予納台帳番号】 006770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子回路ユニット

【特許請求の範囲】

【請求項 1】 アルミナ基板上に薄膜形成されたコンデンサと抵抗およびインダクタンス素子を含む回路素子と、前記アルミナ基板上にワイヤーボンディングされたトランジスタの半導体ベアチップとを備え、前記トランジスタが少なくとも第 1 のトランジスタを有し、この第 1 のトランジスタのベースバイアス用分圧抵抗とエミッタ抵抗のうち、エミッタ抵抗のみをトリミングして前記第 1 のトランジスタの電流値を設定するようにしたことを特徴とする電子回路ユニット。

【請求項 2】 請求項 1 の記載において、前記トランジスタが前記第 1 のトランジスタに直列接続された第 2 のトランジスタを有し、これら第 1 および第 2 のトランジスタのベースバイアス用分圧抵抗とエミッタ抵抗のうち、前記第 1 のトランジスタのエミッタ抵抗のみをトリミングして前記第 1 および第 2 のトランジスタの電流値を設定するようにしたことを特徴とする電子回路ユニット。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、面実装タイプの電子回路ユニットに関する。

【0002】

【従来の技術】

一般的に、この種の面実装タイプの電子回路ユニットは、基板上に設けられた導電パターンの半田ランドに各種回路部品を半田付けし、これら回路部品をシールドカバーで覆うように概略構成されている。基板の側面には端面電極が設けられており、電子回路ユニットを母基板上に面実装する際、端面電極は母基板の半田ランドに半田付けされる。回路部品は同調回路や共振回路あるいは増幅回路等の必要とされる回路構成に応じて使用され、例えば増幅回路用の回路部品としてはトランジスタ、チップ抵抗、チップコンデンサおよびインダクタ等が用いられ、これらの回路部品は導電パターンを介して接続されるようになっている。

【0003】

【発明が解決しようとする課題】

ところで近年、チップ部品やトランジスタ等の回路部品を小形化する技術は著しく進歩しており、例えば外形寸法が $0.6 \times 0.3\text{mm}$ 程度の超小形のチップ抵抗やチップコンデンサも実用化されている。したがって、前述した従来の電子回路ユニットにおいても、このような小形のチップ部品やトランジスタ等を使用し、これらの回路部品を部品間ピッチを狭めた状態で基板上に実装すれば、電子回路ユニットをある程度までは小型化することが可能となる。しかしながら、チップ部品やトランジスタ等の回路部品の小形化には限界があり、しかも、多数の回路部品を基板上に実装する際に、各回路部品の半田付け部分が短絡しないようにしなければならないため、部品間ピッチを狭めるのにも限界があり、これらのことが電子回路ユニットの更なる小型化を妨げる要因となっていた。

【0004】

また、この種の電子回路ユニットが例えば増幅回路を有する場合、前述した従来技術においては、増幅回路に必要とされる全ての抵抗として予め所望の抵抗値にトリミングされた汎用のチップ抵抗を使用しているが、実装されたチップ抵抗の中に抵抗値のバラツキがあると、トランジスタのコレクタ電流値がバラツキ、その後の出力調整が面倒になるという問題があった。

【0005】

本発明は、このような従来技術の実情に鑑みてなされたもので、その目的は、小型化に好適で出力調整を簡単に行なうことの可能な電子回路ユニットを提供することにある。

【0006】

【課題を解決するための手段】

上記の目的を達成するために、本発明の電子回路ユニットでは、アルミナ基板上に薄膜形成されたコンデンサと抵抗およびインダクタンス素子を含む回路素子と、前記アルミナ基板上にワイヤーボンディングされたトランジスタの半導体ベアチップとを備え、前記トランジスタが少なくとも第1のトランジスタを有し、この第1のトランジスタのベースバイアス用分圧抵抗とエミッタ抵抗のうち、エミッタ抵抗のみをトリミングして前記第1のトランジスタの電流値を設定するよ

うに構成した。

【0007】

このような構成によれば、コンデンサと抵抗およびインダクタンス素子を含む回路素子が薄膜技術を用いて高精度に形成され、しかも、トランジスタの半導体素子はベアチップをワイヤーボンディングしたものであるため、アルミナ基板上に必要とされる回路部品が高密度に実装され、小型化に好適な面実装タイプの電子回路ユニットを実現することができる。また、アルミナ基板上に薄膜形成されたベースバイアス用分圧抵抗の個々の抵抗値にバラツキがあったとしても、エミッタ抵抗のみをトリミングすることでトランジスタのコレクタ電流値を変えられるため、出力調整に必要な抵抗値のトリミングを1箇所で行なうことができる。

【0008】

また、上記の構成において、トランジスタが互いに直列接続された第1のトランジスタと第2のトランジスタを有する場合は、これら第1および第2のトランジスタのベースバイアス用分圧抵抗とエミッタ抵抗のうち、第1のトランジスタのエミッタ抵抗のみをトリミングして両トランジスタの電流値を設定することが好ましく、このようにすると第1のトランジスタのエミッタ抵抗のみをトリミングするだけで全てのベースバイアス用分圧抵抗のトリミングを省略することができる。

【0009】

【発明の実施の形態】

以下、本発明の実施形態例について図面を参照して説明すると、図1は電子回路ユニットの斜視図、図2は回路構成レイアウトを示すアルミナ基板の平面図、図3はアルミナ基板の裏面図、図4は回路構成の説明図、図5は端面電極を示す斜視図、図6は端面電極の断面図、図7は半導体ベアチップと接続ランドの関係を示す説明図、図8は電子回路ユニットの製造工程を示す説明図である。

【0010】

本実施形態例は周波数同調型ブースタアンプへの適用例であり、この周波数同調型ブースタアンプは携帯型テレビ機器の受信性能（特に、受信感度と耐妨害特性）向上のために図示せぬUHFチューナと組み合わせて使用され、希望周波数

のTV信号を選択すると共に、選択したTV信号を増幅してUHFチューナに入力する機能を有する。

【0011】

図1はかかる周波数同調型ブースタアンプ（電子回路ユニット）の外観を示し、同図に示すように、この周波数同調型ブースタアンプは、後述する回路構成素子を搭載したアルミナ基板1と、このアルミナ基板1に取付けられたシールドカバー2とで構成されており、図示せぬ母基板に半田付けされる面実装部品となっている。アルミナ基板1は方形平板状に形成されており、大版基板を短冊状の分割片に切断した後、この分割片をさらに細分割することによって得られる。シールドカバー2は金属板を箱形に折り曲げ加工したもので、アルミナ基板1上の回路構成素子はこのシールドカバー2によって覆われている。

【0012】

図2に示すように、アルミナ基板1の表面には回路構成素子とそれらを接続する導電パターンが設けられており、また、図3に示すように、アルミナ基板1の裏面には背面電極としての導電パターンが設けられている。本実施形態例に係る周波数同調型ブースタアンプは、TV信号の選択と増幅のために同調回路と増幅回路とを有し、図4に示すような回路構成となっており、図2に示される各回路構成素子には図4の回路図に対応する符号を付してある。ただし、図4は回路構成の一例を示すものであり、本発明はこれ以外の回路構成を有する電子回路ユニットにも適用可能である。

【0013】

図4に示すように、周波数同調型ブースタアンプは、同調回路および増幅回路の回路構成素子であるコンデンサC1～C7、抵抗R1～R3、インダクタンス素子L1～L3、ダイオードD1、トランジスタTr1、導電路S1，S2等を有し、これらの回路構成素子とそれを接続する導電パターンはアルミナ基板1の表面に設けられている。この導電パターンは例えばCrやCu等をスパッタリング等の薄膜技術を用いて形成したもので、図2中には符号Pを付してハッチングによって表されている。

【0014】

周波数同調型ブースタアンプの回路構成について簡単に説明すると、希望周波数のTV信号を選択と増幅するために、インダクタンス素子 L_2 、 L_3 とコンデンサ C_3 、 C_4 およびダイオード D_1 とからなる同調回路と、トランジスタ Tr_1 とその周辺回路素子（抵抗 $R_1 \sim R_3$ 、コンデンサ C_6 ）および不平衡／平衡変換素子 T とからなる増幅回路から構成されている。複数の周波数のTV信号はコンデンサ C_1 を介して同調回路に入力される。同調回路の同調周波数（共振周波数）はダイオード D_1 のカソードに加える電圧（ V_{ctl} ）の制御により可変するので、希望するTV信号の周波数に一致させることによって、希望するTV信号だけが選択され、コンデンサ C_5 を介して増幅回路のトランジスタ Tr_1 のベースに入力される。トランジスタ Tr_1 のベースにはベースバイアス用分圧抵抗 R_1 、 R_2 にバイアス電圧が与えられ、トランジスタ Tr_1 のコレクタ電流（＝エミッタ電流）はエミッタ抵抗 R_3 の抵抗値によって設定される。トランジスタ Tr_1 によって増幅されたTV信号はコレクタから出力され、コレクタには不平衡／平衡変換素子 T が設けられている。この不平衡／平衡変換素子 T は互いに結合した一对の導電路 S_1 、 S_2 からなるインダクタンス素子によって構成され、導電路 S_2 の両端から平衡TV信号が出力され、前述したUHFチューナに入力される。

【0015】

図2に示すように、アルミナ基板1の端部には接地用電極（GND）と入力用電極（ V_{cc} 、 V_{ctl} 、 RF_{in} ）および出力用電極（ RF_{out} ）が形成されており、これらは導電パターンPの一部によって構成されている。接地用電極と入力用電極および出力用電極は方形状のアルミナ基板1の相対向する2つの長辺側にのみ形成され、それ以外の相対向する2つの短辺側には形成されていない。すなわち、アルミナ基板1の一方の長辺側の両隅部（コーナ）にGND電極が形成され、これらGND電極の間に V_{cc} 電極と RF_{in} 電極および V_{ctl} 電極が形成されている。また、アルミナ基板1の他方の長辺側の両隅部とその近傍の3箇所にGND電極が形成され、これらGND電極の間に2つの RF_{out} 電極が形成されている。なお、後述するように、アルミナ基板1の2つの長辺は大版基板を短冊状の分割片に切断したときの分割線に対応し、アルミナ基板1の2つの短辺はこの分割

片をさらに細分割したときの分割線に対応する。

【 0 0 1 6 】

一方、図 3 に示すように、アルミナ基板 1 の裏面に設けられた導電パターン P 1 (背面電極) はそれぞれの接地用電極 (GND) と入力用電極 (Vcc, Vctl, RF in) および出力用電極 (RF out) に対向しており、図 5 と図 6 に示すように、両者は端面電極 3 を介して導通されている。この端面電極 3 は Ag 厚膜層の上に Ni 下地メッキ層と Au メッキ層を順次積層したもので、最下層の Ag 厚膜層は、ガラス成分を含まない Ag ペーストを厚膜形成した後、これを 200°C 程度で焼成した低温焼成材からなる。また、中間層の Ni 下地メッキ層は Au メッキ層の付着を容易にするもので、最上層の Au メッキ層は、端面電極 3 を図示せぬ母基板の半田ランドに半田付けした際に、最下層の Ag が半田に析出するのを防止するためのものである。そして、シールドカバー 2 がアルミナ基板 1 に取付けられた電子回路ユニットの完成品において、シールドカバー 2 の側面に折り曲げ形成された脚片 2 a が接地用電極 (GND) と導通する端面電極 3 に半田付けされており、シールドカバー 2 はアルミナ基板 1 の 4 隅で接地された状態となる。

【 0 0 1 7 】

前述した各回路構成素子のうち、コンデンサ C 1 ~ C 7 は下部電極の上に SiO₂ 等の誘電体膜を介して上部電極を積層したもので、これらはスパッタリング等を用いて薄膜形成されている。上部電極の表面には Cu 層が設けられており、この Cu 層によって共振回路の Q が高められている。コンデンサ C 1 ~ C 7 の下部電極と上部電極は導電パターン P に接続されており、図 2 に示すように、コンデンサ C 7 と Vcc 電極間の導電パターン P、コンデンサ C 7 と RF out 電極間の導電パターン P、コンデンサ C 2 と Vctl 電極間の導電パターン P には、それぞれ放電用の近接部 (エアーギャップ) G が設けられている。この近接部 G は互いに対向して並設された導電パターン P のそれぞれに設けられた一対の突部によって構成されており、両突部の尖端同士は所定のギャップを存して対向している。この場合、導電パターン P と GND 電極の寸法精度はいずれも薄膜技術により高くなるため、近接部 G のギャップ寸法を狭めることができ、低電圧での放電が可能と

なっている。また、各コンデンサC1～C7のうち、コンデンサC1とC3～C5は単純な方形状に形成されているが、コンデンサC2とC7については2つ以上の方形状を組み合わせた異形状に形成されている。すなわち、コンデンサC2は1つの矩形の一辺から2つの矩形を突出させた凹形状であり、コンデンサC7は3つの矩形を長辺方向にずらして連続させた形状になっている。これらコンデンサC2とC7は比較的大きな容量値を必要とする接地用コンデンサであり、接地用コンデンサC2とC7をこのような異形状にすると、アルミナ基板1上の限られたスペースが有効利用され、所望の容量値のコンデンサを高密度実装することができる。

【 0 0 1 8 】

さらに、各コンデンサC1～C7のうち、コンデンサC6は大きさを異にする2つの接地用コンデンサで構成されており、両者は互いに分離された一对の導電パターンPを介して並列接続されている。すなわち、図2に示すように、両接地用コンデンサC6の各一方の電極部はGND電極に繋がる接地用の導電パターンPに接続されているが、両接地用コンデンサC6の各他方の電極部は互いに分離された2つの導電パターンPを介してトランジスタTr1の接続ランドSLに接続されている。図4から明らかなように、コンデンサC6はトランジスタTr1のエミッタと接地間に設けられており、前記接続ランドSLはトランジスタTr1のエミッタ電極がワイヤーボンディングされる箇所であるため、コンデンサC6の容量値は互いに分離された導電パターンPを介して並列接続された2つの接地用コンデンサによって設定されることになる。したがって、トランジスタTr1のエミッタ電極からコンデンサC6を介して接地に至る導電パターンP全体のインダクタンスが減少して、接地用コンデンサC6による接続ランドSLの接地効果が向上することになり、また、各接地用コンデンサC6と各導電パターンPとによる寄生発振周波数が高くなるため、この周波数をトランジスタTr1の動作点周波数以上に設定することにより、寄生振動をなくすることができる。

【 0 0 1 9 】

抵抗R1～R3は例えばTaSiO₂等の抵抗膜をスパッタリング等の薄膜技術を用いて形成したもので、その表面には必要に応じてSiO₂等の誘電体膜が設けられて

いる。図2に示すように、3つの抵抗 $R_1 \sim R_3$ のうち、抵抗 R_1 と R_2 はアルミナ基板1上の互いに近接した位置に並設して薄膜形成され、残りの抵抗 R_3 は抵抗 R_1 と R_2 から離れた位置に薄膜形成されている。このように抵抗 R_1 と R_2 を近接した位置に薄膜形成してあるため、各抵抗 R_1 、 R_2 の抵抗値が所望値に対してバラツキを生じたとしても、抵抗 R_1 、 R_2 全体のバラツキの比率を同じにすることができる。図4から明らかなように、抵抗 R_1 と R_2 はトランジスタ T_{r1} のベースバイアス用分圧抵抗であり、 $R_1 / (R_1 + R_2) \times V_{cc}$ の電圧がトランジスタ T_{r1} のベースに印加される。ここで、ベースバイアス用分圧抵抗である抵抗 R_1 、 R_2 全体のバラツキの比率は前述したように常に同じであるため、これら抵抗 R_1 、 R_2 に対する抵抗値のトリミングは不要となる。一方、抵抗 R_3 はトランジスタ T_{r1} のエミッタ抵抗であり、電流は V_{cc} 電極からトランジスタ T_{r1} のコレクタとエミッタに流れ、さらに抵抗 R_3 を通して接地される。ここで、各抵抗 $R_1 \sim R_3$ のうち、エミッタ抵抗である抵抗 R_3 によるトランジスタ T_{r1} の増幅度への寄与が最も大きいため、電流値が一定になるように抵抗 R_3 のみをトリミングして出力調整するようにしてある。

【0020】

なお、図9に示すように、トランジスタ T_{r1} に別のトランジスタ T_{r2} を直列接続した回路構成の場合は、両トランジスタ T_{r1} 、 T_{r2} のベースバイアス用分圧抵抗である抵抗 R_1 、 R_2 、 R_4 をアルミナ基板1上の互いに近接した位置に薄膜形成すれば、これら抵抗 R_1 、 R_2 、 R_4 に対する抵抗値のトリミングは不要となる。したがって、この場合においても、エミッタ抵抗である抵抗 R_3 のみをトリミングすることにより、両トランジスタ T_{r1} 、 T_{r2} の電流値を設定することができる。

【0021】

また、インダクタンス素子 $L_1 \sim L_3$ と導電路 S_1 、 S_2 は、 Cr や Cu 等をスパッタリング等の薄膜技術を用いて形成したもので、導電パターン P に接続されている。各インダクタンス素子 $L_1 \sim L_3$ の表面には Cu 層が設けられており、この Cu 層によって共振回路の Q が高められている。インダクタンス素子 L_1 と L_2 はいずれも角形の渦巻き形状に形成されており、それぞれの一端は V_{ctl}

電極や接地用の導電パターンPにワイヤーボンディングされている。インダクタンス素子L2は概略の共振周波数を設定する共振周波数設定用であり、インダクタンス素子L3はインダクタンス素子L2の他端に連続している。インダクタンス素子L3は共振周波数を調整するための調整用導電パターンであり、図2の破線で示すように、インダクタンス素子L3をトリミングして削ることにより、インダクタンス素子L2の巻数が増加して共振周波数を調整するようになっている。この場合、トリミング後のインダクタンス素子L3の導体幅が共振周波数設定用のインダクタンス素子L2の導体幅と同じになるようにすれば、インダクタンス素子L2とインダクタンス素子L3の特性インピーダンスが変わらなくなり、C/N比が良好な発振を得ることができる。

【0022】

前述したように、不平衡／平衡変換素子Tは互いに結合した一对の導電路S1，S2からなるインダクタンス素子によって構成され、これら導電路S1，S2はアルミナ基板1上に薄膜形成されている。これら導電路S1，S2はアルミナ基板1上で所定のギャップを介して対向するように渦巻き状に形成されており、一方の導電路S1の両端はトランジスタTr1のコレクタ電極とコンデンサC7に接続された導電パターンPとに接続され、他方の導電路S2の両端是一对のRFout電極に接続されている。この場合、薄膜形成された導電路S1，S2の寸法精度が高いため、両導電路S1，S2間のギャップを狭くして所望の結合度を確保することができ、アルミナ基板1上の限られたスペース内に小形の不平衡／平衡変換素子Tを設けることができる。なお、図10に示すように、所定のギャップを介して対向する一对の導電路S1，S2をアルミナ基板1上にジグザグ状に形成しても良い。

【0023】

また、ダイオードD1とトランジスタTr1は、アルミナ基板1上に薄膜形成された導電パターンPの接続ランドに半導体ベアチップを搭載し、該半導体ベアチップを導電パターンPにワイヤーボンディングしたものである。すなわち、図2に示すように、ダイオードD1の半導体ベアチップは角形形状をなし、その下面に設けられた一方の電極がクリーム半田や導電ペースト等の導電性接着剤を用

いて接続ランドに固定され、半導体ベアチップの上面に設けられた他方の電極が導電パターンPの所定部位にワイヤーボンディングされている。また、トランジスタTr1の半導体ベアチップも角形形状をなし、その下面に設けられたコレクタ電極が導電性接着剤を用いて接続ランドに固定され、ベース電極とエミッタ電極が導電パターンPの所定部位にワイヤーボンディングされている。前述した端面電極3と同様に、これら接続ランド上にもNi下地メッキ層とAuメッキ層が順次積層されている。ここで、図7(a)または(b)に示すように、半導体ベアチップ4の下面積に対して接続ランド5の面積が小さく形成されており、このような構成を採用することにより、半導体ベアチップ4の下方に導電性接着剤の溜り部が確保されるため、導電性接着剤が半導体ベアチップ4の外形からはみ出して周囲の導電パターンPと短絡する事故を未然に防止することができる。また、接続ランド5の内部に開口5aが設けられており、これによって余剰の導電性接着剤が開口5a内に溜められるため、導電性接着剤のはみ出しをより確実に防止できるようになっている。

【 0 0 2 4 】

次に、上記の如く構成された電子回路ユニットの製造工程について主として図8を用いて説明する。

【 0 0 2 5 】

まず、図8(a)に示すように、アルミナ基板1の表面全体にTaSiO₂等をスパッタリングした後、これを所望形状にエッチングして抵抗膜6を形成することにより、抵抗R1～R3に相当する部分が構成される。次に、図8(b)に示すように、抵抗膜6の上からCrやCu等をスパッタリングし、これを所望形状にエッチングして下部電極7を形成した後、図8(c)に示すように、下部電極7の上からSiO₂等をスパッタリングし、これを所望形状にエッチングして誘電体膜8を形成する。次に、図8(d)に示すように、誘電体膜8の上からCrやCu等をスパッタリングした後、これを所望形状にエッチングして上部電極9を形成する。その結果、下部電極7または上部電極9によって導電パターンPとインダクタンス素子L1～L3および導電路S1、S2に相当する部分が構成され、下部電極7と誘電体膜8および上部電極9の積層体によってコンデンサC1～C7に

相当する部分が構成される。次に、インダクタンス素子 $L_1 \sim L_3$ と導電路 S_1 、 S_2 およびコンデンサ $C_1 \sim C_7$ に相当する部分の表面に Cu 層をメッキまたは薄膜技術で形成した後、図8(e)に示すように、導電パターン P を除く部分に保護膜10を形成する。次に、図8(f)に示すように、アルミナ基板1の裏面全体に Cr や Cu 等をスパッタリングした後、これを所望形状にエッチングして背面電極11を形成することにより、裏面側の導電パターン P_1 に相当する部分が構成される。

【0026】

なお、以上説明した図8(a)～(f)の工程は、縦横に格子状に延びる分割溝が刻設されたアルミナ材からなる大版基板に対して行なわれ、以下に説明する図8(g)～(j)の工程は、この大版基板を一方向の分割溝に沿って切断することで得られる短冊状の分割片に対して行なわれる。

【0027】

すなわち、大版基板を短冊状の分割片に切断した後、図8(g)に示すように、この分割片の切断面であるアルミナ基板1の両端面に Ag 層12を厚膜形成し、アルミナ基板1の表裏両面に設けられた導電パターン P 、 P_1 の接地用電極(GND)と入力用電極(V_{cc} , V_{ctl} , RF_{in})および出力用電極(RF_{out})同志を Ag 層12で導通する。この Ag 層12は前述した端面電極3の Ag 厚膜層に相当し、ガラス成分を含まない Ag ペーストからなる低温焼成材である。なお、かかる Ag 層12の厚膜形成工程を1つの短冊状分割片に対して行なうことも可能であるが、複数の分割片を若干の隙間を存して重ね合わせた状態にすれば、 Ag 層12を複数の分割片に対して同時に厚膜形成することができ、大量生産に好適となる。次に、 Ag 層12と半導体ベアチップが搭載される接続ランドの各表面に Ni 下地層と Au 層を順次メッキした後、図8(h)に示すように、各接続ランド上にダイオード D_1 とトランジスタ Tr_1 の半導体ベアチップをクリーム半田や導電ペースト等の導電性接着剤を用いて固定する。この場合、前述したように、半導体ベアチップの下面積に対して接続ランドの面積が小さく形成されているため、導電性接着剤の半導体ベアチップからはみ出しが防止され、導電性接着剤が半導体ベアチップの周囲の導電パターン P と不所望に短絡しないよう

になっている。次に、図 8 (i) に示すように、各半導体ベアチップを導電パターン P の所定部位にワイヤーボンディングした後、図 8 (j) に示すように、エミッタ抵抗である抵抗 R 3 をトリミングして出力調整すると共に、調整用導電パターンであるインダクタンス素子 L 3 をトリミングして共振周波数を調整する。この場合、共振周波数の調整は個々のアルミナ基板 1 に分割する前の短冊状分割片の状態で行なわれ、各アルミナ基板 1 の隅部に接地用電極 (G N D) が設けられているため、隣接するアルミナ基板 1 に設けられた入力用電極 (V c c , V c t 1 , R F i n) および出力用電極 (R F o u t) 間に必ず接地用電極 (G N D) が位置することになり、共振周波数の調整が隣接するアルミナ基板 1 の回路へ悪影響を及ぼさないようになっている。

【 0 0 2 8 】

次いで、短冊状分割片の個々のアルミナ基板 1 にシールドカバー 2 を取付け、該シールドカバー 2 の脚片 2 a を接地用電極 (G N D) に導通する端面電極 3 に半田付けた後、分割片を他方の分割溝に沿って個々のアルミナ基板 1 に細分割することにより、図 1 に示すような電子回路ユニットが得られる。

【 0 0 2 9 】

このように構成された上記実施形態例に係る電子回路ユニットによれば、アルミナ基板 1 上にコンデンサ C 1 ~ C 7 、抵抗 R 1 ~ R 3 、インダクタンス素子 L 1 ~ L 3 、導通路 S 1 , S 2 等の回路素子とこれら回路素子に接続される導電パターン P とを薄膜形成すると共に、このアルミナ基板 1 上にダイオード D 1 とトランジスタ T r 1 の半導体ベアチップをワイヤーボンディングし、かつ、アルミナ基板 1 の側面に導電パターンの接地用電極と入出力用電極に接続される端面電極 3 を設けたため、必要とされる回路構成素子を薄膜技術と半導体素子のワイヤーボンディングとを用いてアルミナ基板 1 上に高密度に実装でき、小型化に好適な面実装タイプの電子回路ユニットを実現することができる。また、トランジスタ T r 1 のベースバイアス用分圧抵抗 R 1 , R 2 とトランジスタ T r 1 のエミッタ抵抗 R 3 のうち、エミッタ抵抗 R 3 のみをトリミングすることで出力調整を行ない、ベースバイアス用分圧抵抗 R 1 , R 2 のトリミングを省略したため、出力調整に必要な抵抗値のトリミングを 1 箇所で行なうことができる。

【 0 0 3 0 】

【発明の効果】

本発明は、以上説明したような形態で実施され、以下に記載されるような効果を奏する。

【 0 0 3 1 】

アルミナ基板上にコンデンサと抵抗およびインダクタンス素子を含む回路素子を薄膜形成すると共に、トランジスタの半導体ベアチップをワイヤーボンディングし、このトランジスタのベースバイアス用分圧抵抗とエミッタ抵抗のうちエミッタ抵抗のみをトリミングするように構成したため、アルミナ基板上に必要とされる回路部品を高密度に実装して電子回路ユニットの小型化を図ることができるのみならず、アルミナ基板上に薄膜形成されたベースバイアス用分圧抵抗の個々の抵抗値にバラツキがあったとしても、エミッタ抵抗のみをトリミングすることでトランジスタのコレクタ電流値を変えられるため、ベースバイアス用分圧抵抗のトリミングを省略することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態例に係る電子回路ユニットの斜視図である。

【図 2】

回路構成レイアウトを示すアルミナ基板の平面図である。

【図 3】

アルミナ基板の裏面図である。

【図 4】

回路構成の説明図である。

【図 5】

端面電極を示す斜視図である。

【図 6】

端面電極の断面図である。

【図 7】

半導体ベアチップと接続ランドの関係を示す説明図である。

【図 8】

電子回路ユニットの製造工程を示す説明図である。

【図 9】

他の回路構成の説明図である。

【図 1 0】

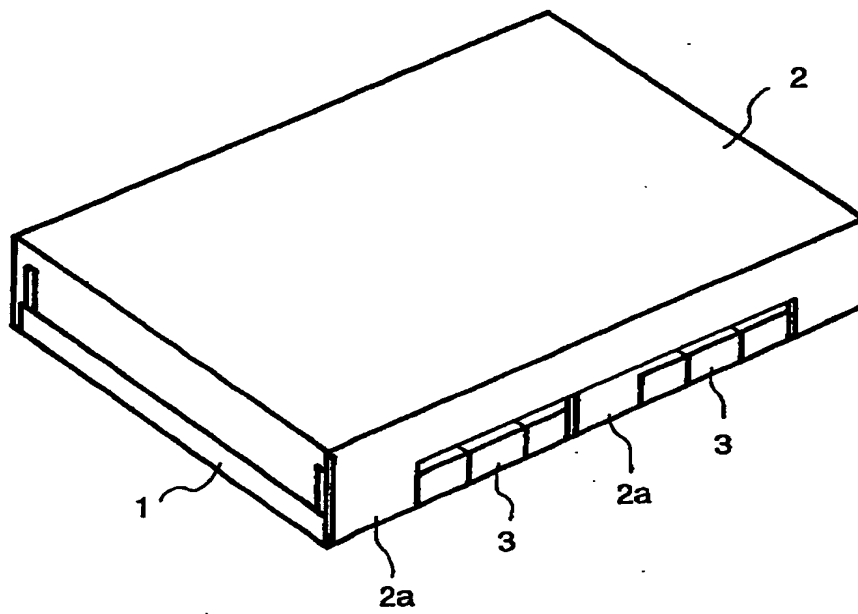
他の回路構成レイアウトを示すアルミナ基板の平面図である。

【符号の説明】

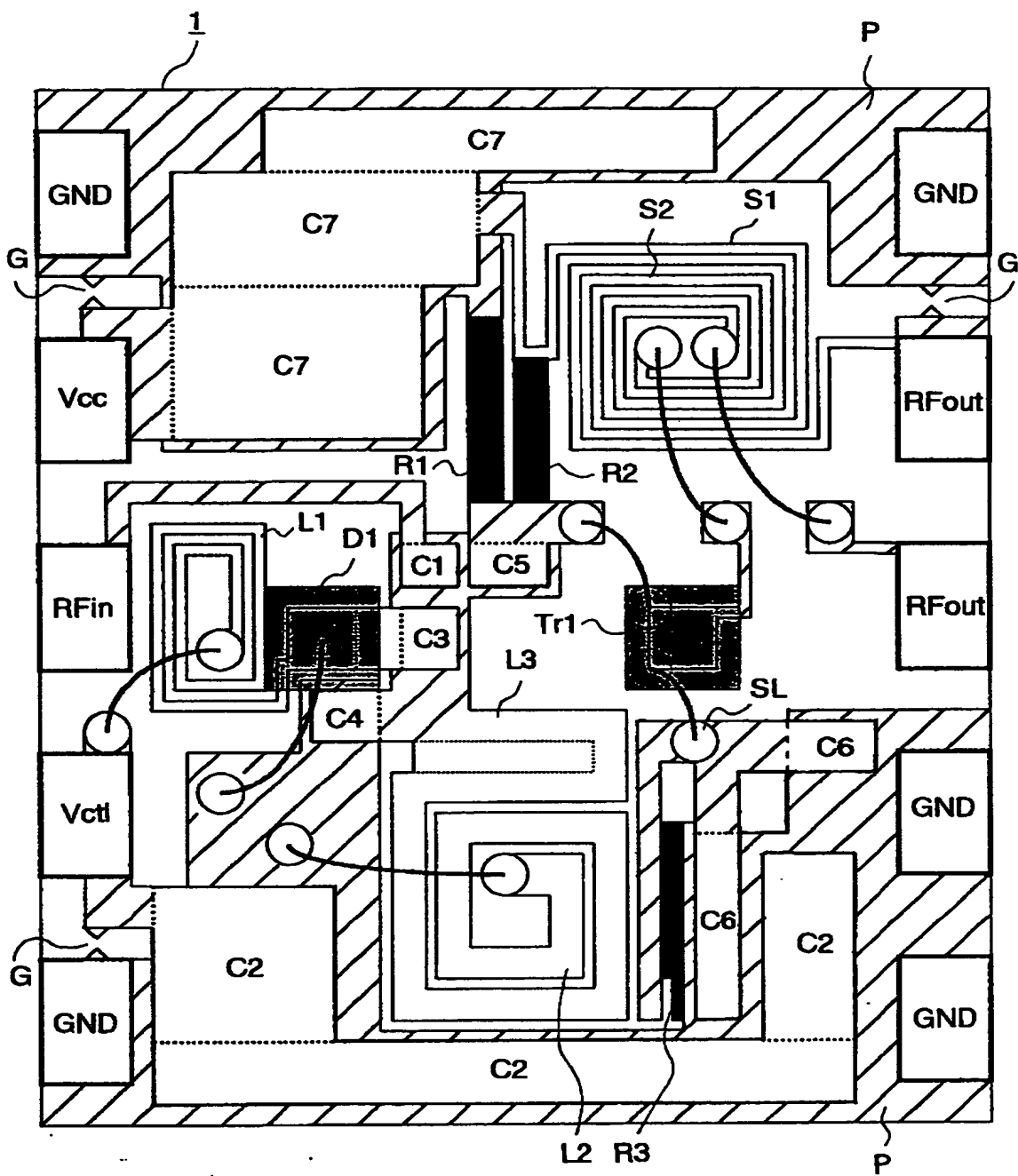
- 1 アルミナ基板
- 2 シールドカバー
- 3 端面電極
- 4 半導体ベアチップ
- 5 接続ランド
- 5 a 開口
- 6 抵抗膜
- 7 下部電極
- 8 誘電体膜
- 9 上部電極
- 1 0 保護膜
- 1 1 背面電極
- 1 2 A g 層
- C 1 ~ C 7 コンデンサ
- R 1 ~ R 3 抵抗
- L 1 ~ L 3 インダクタンス素子
- T r 1, T r 2 トランジスタ
- S 1, S 2 導電路
- P, P 1 導電パターン
- S L 接続ランド

【書類名】 図面

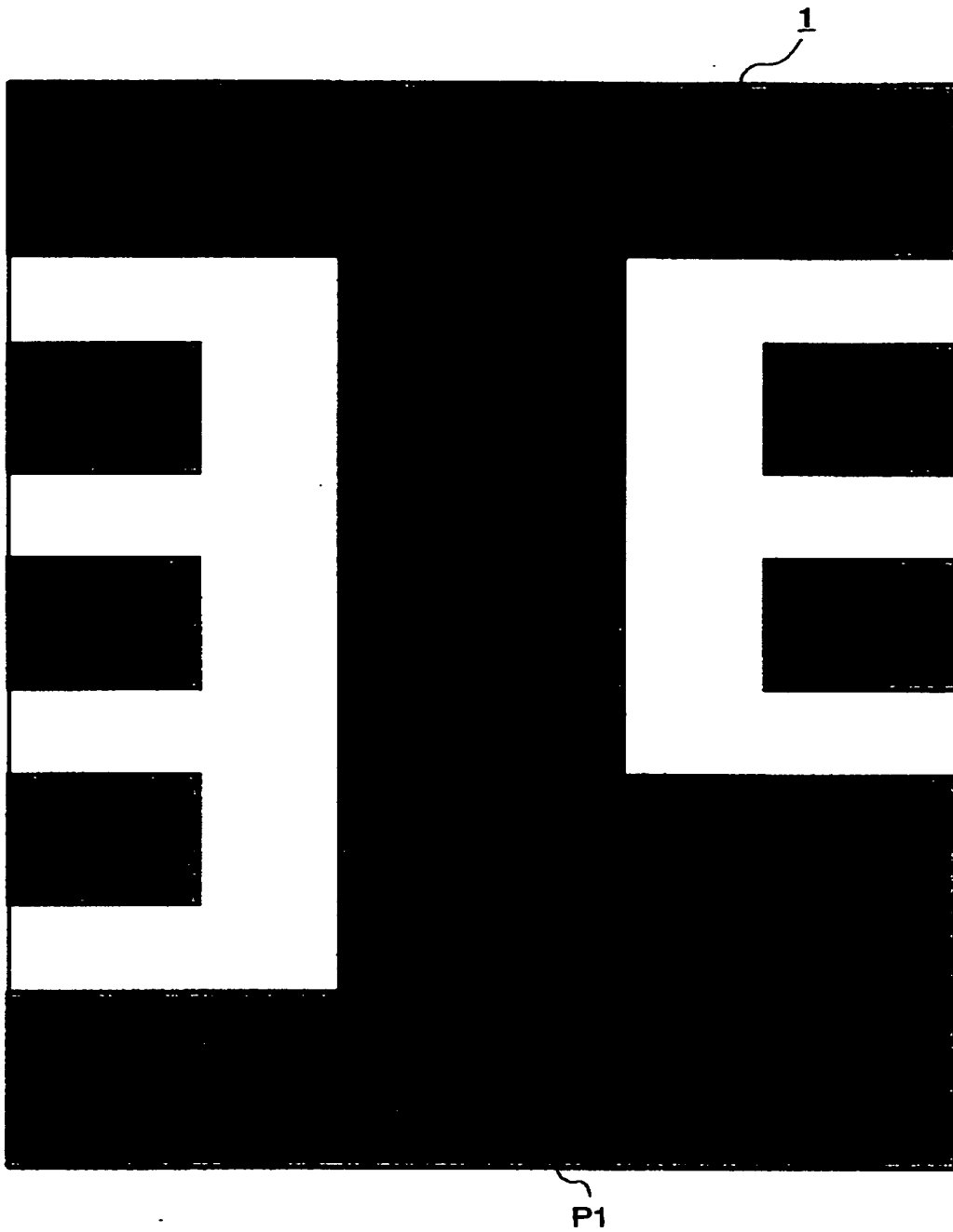
【図 1】



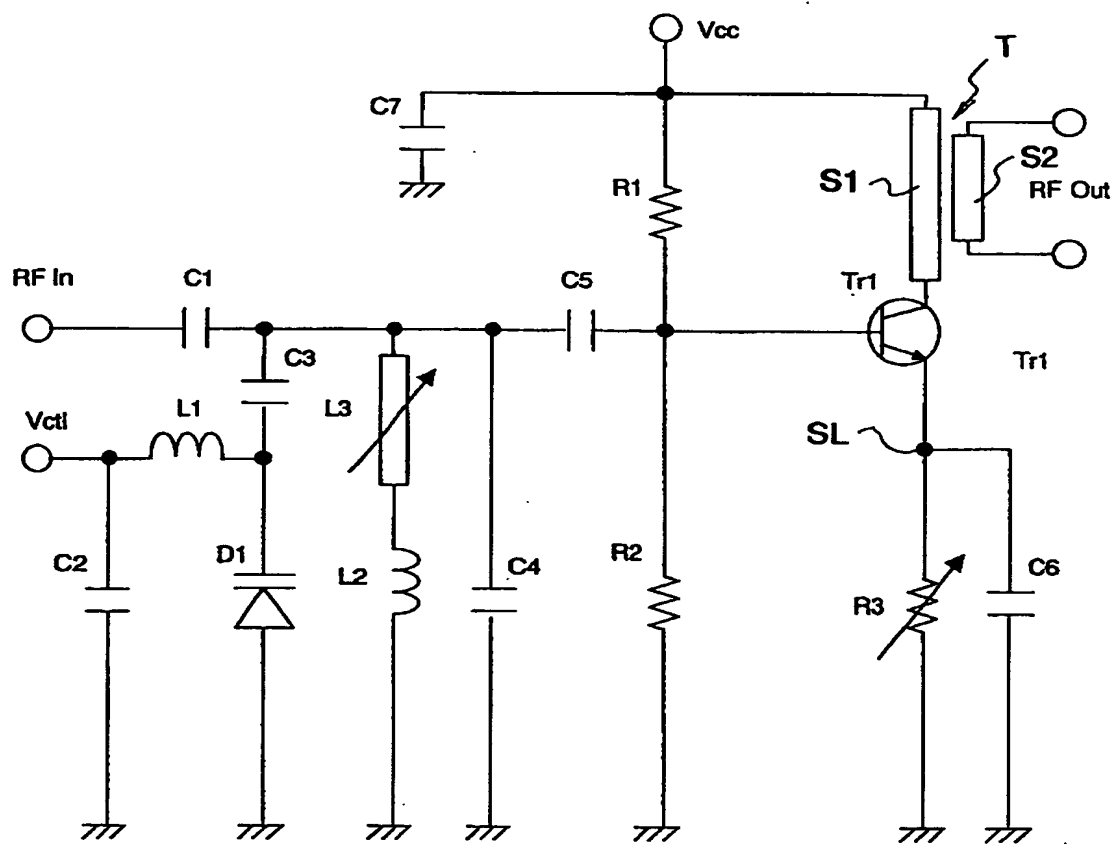
【図 2】



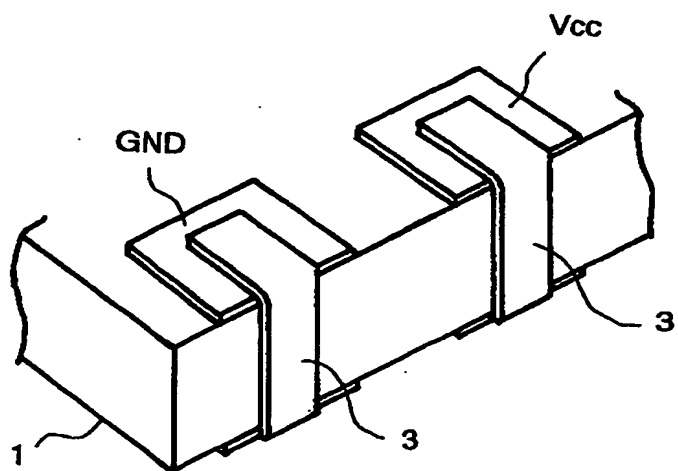
【図 3】



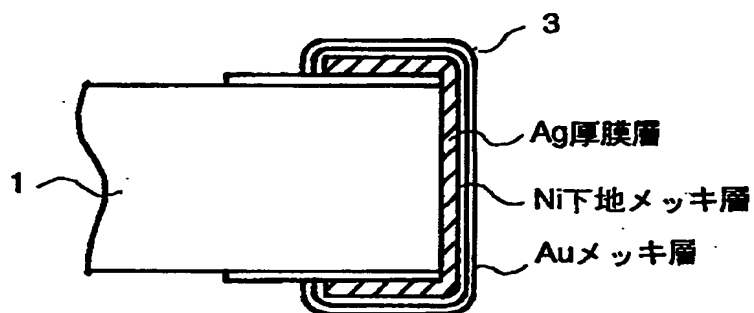
【図 4】



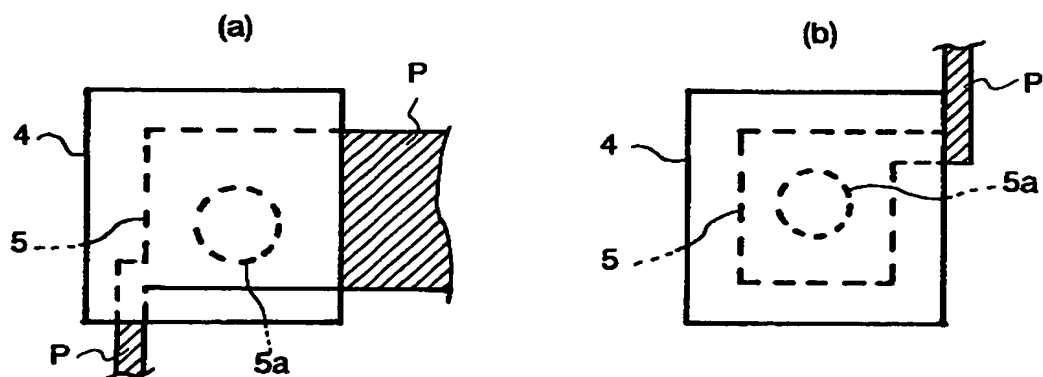
【図5】



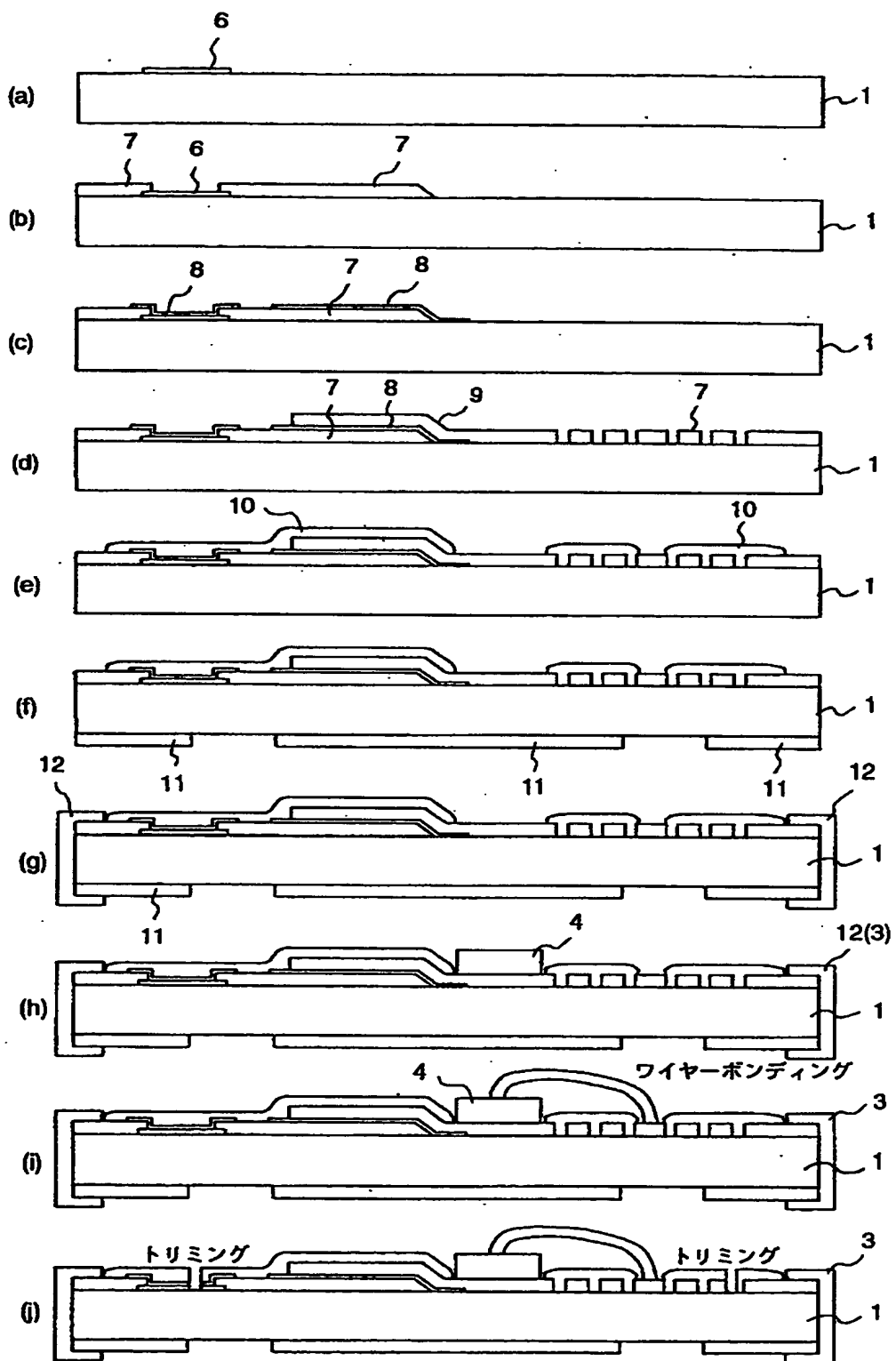
【図6】



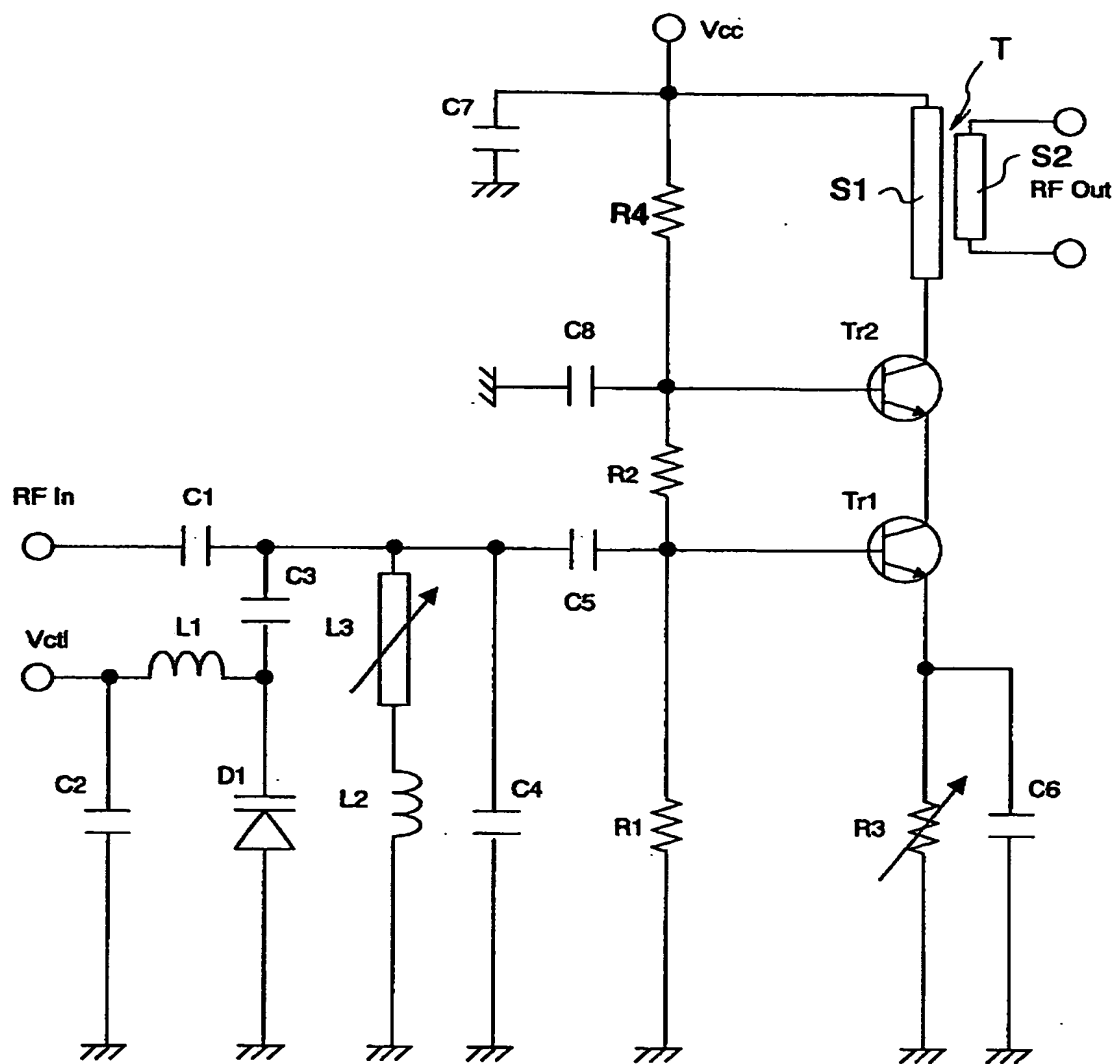
【図7】



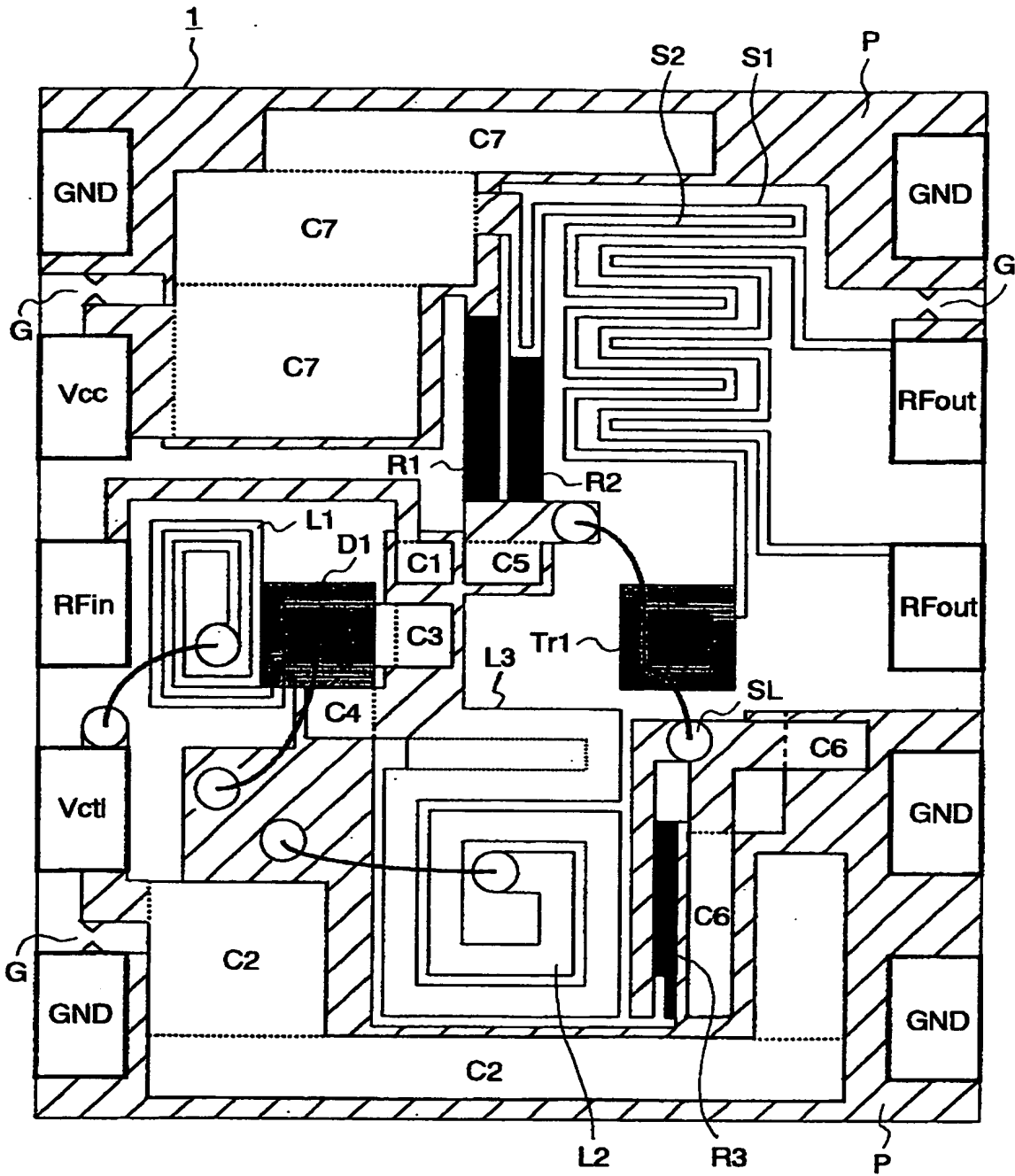
【図 8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 小型化に好適で出力調整の簡単な電子回路ユニットを提供すること。

【解決手段】 アルミナ基板 1 上にコンデンサ $C_1 \sim C_7$ と抵抗 $R_1 \sim R_3$ およびインダクタンス素子 $L_1 \sim L_3$ 等を含む回路素子とこれら回路素子に接続される導電パターン P とを薄膜形成し、ダイオード D_1 とトランジスタ Tr_1 の半導体ベアチップを導電パターン P の接続ランドにワイヤーボンディングし、かつ、トランジスタ Tr_1 のベースバイアス用分圧抵抗 R_1 , R_2 とエミッタ抵抗 R_3 のうち、エミッタ抵抗 R_3 のみをトリミングして出力調整するように構成した。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000010098]

1. 変更年月日 1990年 8月27日
[変更理由] 新規登録
住 所 東京都大田区雪谷大塚町1番7号
氏 名 アルプス電気株式会社